

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05056222 A**

(43) Date of publication of application: **05.03.93**

(51) Int. Cl

H04N 1/04

(21) Application number: **03209151**

(22) Date of filing: **21.08.91**

(71) Applicant: **HITACHI LTD**

(72) Inventor:
TAKEI TORU
HIROSHIGE HIDEO
NAKAJIMA KEISUKE
NAKAMURA TOSHIKI
YAMASHITA KYOICHI
KONO YUJI

(54) **READING SCANNER**

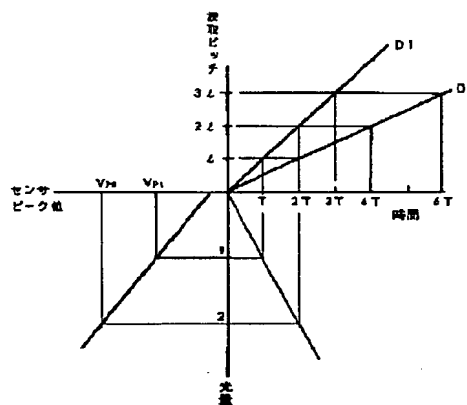
(57) Abstract:

PURPOSE: To realize high quality for an original having gradation such as photographs and high-speed reading for an original consisting of characters.

CONSTITUTION: In the case of the binarization of data, the original is read at the carrying speed of a D1; while in the case of multi-valued data, the original is read at the carrying speed of a D2. When density in a subscanning direction is the same, the quantity of light incident on an image sensor is increased since reading time per line is extended by reading the original at the carrying speed of the D2, and an output signal from the sensor output becomes larger. Accordingly, by making the carrying speed in reading the multi-valued data slow down than the carrying speed in reading the binary-coded data, the quantity of light is increased and an S/N performance can be improved. When the reading time is prolonged to be doubled for example, the sensor signal is duplicated and the gradation performance of a numerical one expression can be improved to the gradation performance of numerical two expressions. Similarly, when the reading time per line is prolonged in integer times the reading time for binary-coded data in the case of reading multi-valued data, the light

quantity is increased up to integer times the case of reading binary-coded data and the gradation performance can also be improved up to integer times.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-56222

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁵

H04N 1/04

識別記号

101

庁内整理番号

7251-5C

FI

技術表示箇所

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号 特願平3-209151

(22)出願日 平成3年(1991)8月21日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 武井 徹

茨城県日立市久慈町4028番地 株式会社日立製作所日立研究所内

(72)発明者 廣重 秀雄

茨城県日立市久慈町4028番地 株式会社日立製作所日立研究所内

(72)発明者 中島 啓介

茨城県日立市久慈町4028番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 高田 幸彦

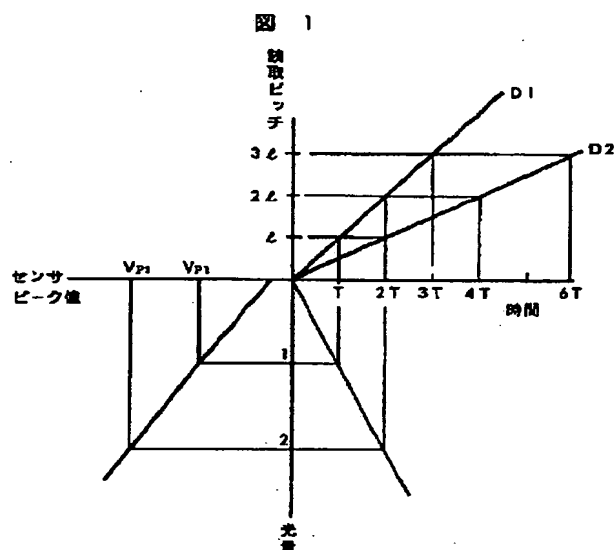
最終頁に続く

(54)【発明の名称】 読取スキャナ

(57)【要約】

【目的】読取スキャナにおいて、写真など階調のある原稿に対しては高画質を、また文字からなる原稿に対しては高速読取を実現する。

【構成】階調原稿の場合は、原稿搬送速度をD2の低速で搬送して光量の増加を図って高階調性能を実現すると共に、2値読取の場合は、原稿搬送速度をD1の高速で搬送することにより高速読取を実現する。



【特許請求の範囲】

【請求項1】原稿を照射する光源と、照射された原稿画像を光電変換して読取る読取手段と、上記読取手段に入射する光量を変化させる光量制御手段と、上記原稿を一定速度で搬送する機構部と、上記原稿の搬送速度を変化させる搬送制御手段を設けた読取スキャナで、原稿読取時の搬送方向に対する線密度が一定の場合において、多値読取時の光量を2値読取時の光量より多くすることを特徴とする読取スキャナ。

【請求項2】請求項1記載の読取スキャナにおいて、多値読取の搬送速度より2値読取の搬送速度を速くすることを特徴とする読取スキャナ。

【請求項3】請求項2記載の読取スキャナにおいて、多値読取の搬送速度の整数倍に2値読取の搬送速度とすることを特徴とする読取スキャナ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多値画像を高階調で読取る読取スキャナに関する。

【0002】

【従来の技術】読取スキャナで原稿を読取るには、画像を光電変換するイメージセンサと原稿とを相対的に移動させる必要がある。この例を図2に示す。図において、光源4は搬送ローラ2Aと搬送ローラ2Bの間にある原稿3を照射し、その反射画像はミラー5から縮小レンズ6に集光されイメージセンサ7上に結像し、光電変換されて電気信号として出力される。そして読取制御部でアナログ信号は2値あるいは多値画像のデジタル信号化され、CPU20の内部に取り込まれて画像処理された後、図示していないディスプレイやプリンタに出力される。一方、給紙ローラ1で給紙された原稿3は搬送ローラ2Aから搬送ローラ2Bに送られる。給紙ローラ1や搬送ローラ2A、搬送ローラ2Bは駆動モータ10により駆動される。駆動モータ10には通常パルスモータが使用されるが、サーボ制御付きの直流モータを使用してもよい。駆動モータ10はCPU20によりモータ制御部11を介して制御される。CPU20は駆動モータ10とイメージセンサ7の読取タイミングと同期を取るよう制御している。また読取制御部8は画像処理のほか、

$$1V \div 40mV = 25 \text{ 階調}$$

しかしアナログ画像信号のピーク値が半分の0.5Vしかない場合には数2式のように16階調で読取ことは

$$0.5V \div 40mV = 12.5 < 16 \text{ 階調}$$

しかし2値化の場合には前述のように、1つのスライスレベルの選択で済むからこのような問題は生じない。

【0008】ところで原稿3の読取時間を速くして使い勝手を良くしようとする、上で述べた階調性能不足の問題が生じる。図1は原稿搬送速度とイメージセンサ7の光電変換特性との関係図で、第1象限は搬送速度、第3象限は光電変換特性である。また第4象限は光量と時

読取タイミングクロックを発生したり、イメージセンサ駆動用パルスを出したり、読取った画像信号を呼出すパルスを発生させている。

【0003】

【発明が解決しようとする課題】図3は読取制御部8のうちの画像処理部のブロック図である。イメージセンサ7から出力されるアナログの画像信号はサンプルホールド回路30で画像信号を平滑化した後、ピーク値検出回路31に入力され、画像信号のピーク値を検出して保持する。またCPU20は原稿を読取る前に、図示していない白反射板から1ライン分の全白データをイメージセンサで読取り、全白シェーディング波形検出再生回路32に入力する。全白シェーディング波形検出再生回路32からピーク値に応じたシェーディング波形を再生し、この波形を基準にして入力画像データをデジタル化するためのスライスレベルをスライスレベル発生回路33で生成する。そして2値化回路34あるいは多値化回路35のいずれかを選択することでデジタル化される。

【0004】図4はスライスレベル生成回路33を使用して、文字で書かれた原稿の2値化あるいは写真などの階調のある原稿を多値化する方法についての説明図である。多値化については16階調を実現する場合を例に取って説明する。全白シェーディング波形検出再生回路32で再生された全白シェーディング波形の電位 V_L と前もって決められた黒側基準レベル電位 V_H 間を抵抗ストリングで分圧し16段階のスライスレベルを生成し、これを16個の並列アナログコンパレータACMP0~ACMP15でA/D変換する。多値化回路の出力結果を図中下部に示した。2値化の場合は16個のアナログコンパレータACMP0~ACMP15の中から1つ、例えば、Thのスライスレベルを選択し、それを出力する。

【0005】2値化と多値化で大きな違いは図4からもわかるようにスライスレベルの個数が違うことである。この差はS/Nを考慮すると、多値化の際に非常に重要な問題となる。いまアナログ画像信号のピーク値が1Vあるとき、40mVのノイズが重畳している場合を考えると、この時の階調性能は数1式のように25階調まであることになる。

【0006】

…(数1)

できなくなる。

【0007】

…(数2)

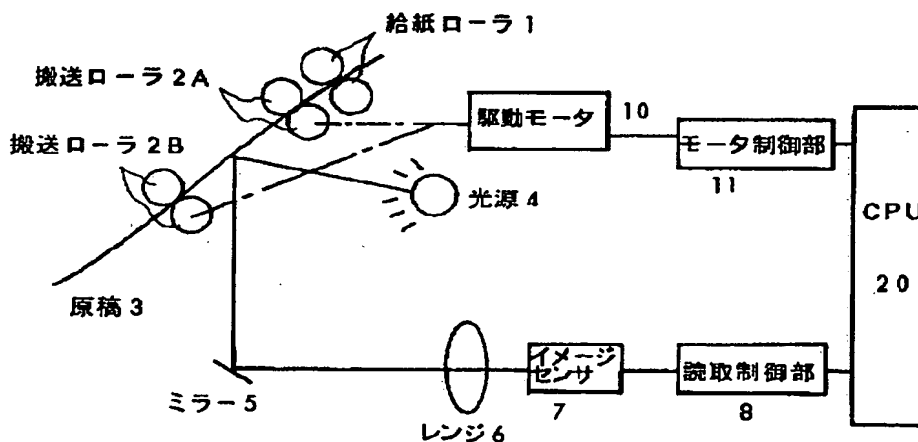
間との関係で、比例関係にある。これは光量が照度と時間の積からなり、通常は光源4の照度を一定にして使用するからである。原稿3の読取時間を速くするには原稿搬送速度をD2からD1のように高速搬送すれば良い。しかし原稿の搬送方向に対して同一ピッチ1だけ進むに要する時間すなわち1ライン当たりの読取時間は、それぞれ2T、Tとなる。そのため搬送速度D1の光量はD

【実施例】以下実施例に基づき本発明を説明する。図 1 において 2 値化の場合は D 1 の搬送速度で原稿 3 を読取り、多値化の場合は D 2 の搬送速度で原稿 3 を読取るようにする。副走査方向の線密度を同じにした場合には D 2 の搬送速度で原稿 3 を読取ることにより、1 ライン当たりの読取時間が延びるのでイメージセンサに入射する光量が増えてセンサ出力からの出力信号が大きくなる。このように 2 値読取の搬送速度よりも多値読取の搬送速度を遅くすれば光量が増えて S/N 性能が向上する。例えば読取時間を 2 倍に延ばすとセンサ信号が 2 倍になるので、数 2 式の階調性能を数 1 式の階調性能に向上することができる。同様に多値読取時には 1 ライン当たりの

【符号の説明】

20 1…給紙ローラ、2…搬送ローラ、3…原稿、4…光源、7…イメージセンサ、8…読取制御部、10…駆動モータ、11…モータ制御部、31…ピーク値検出回路、32…全白シェーディング波形検出再生回路、33…スライスレベル生成回路、34…2値化回路、35…多値化回路。

图 2



1

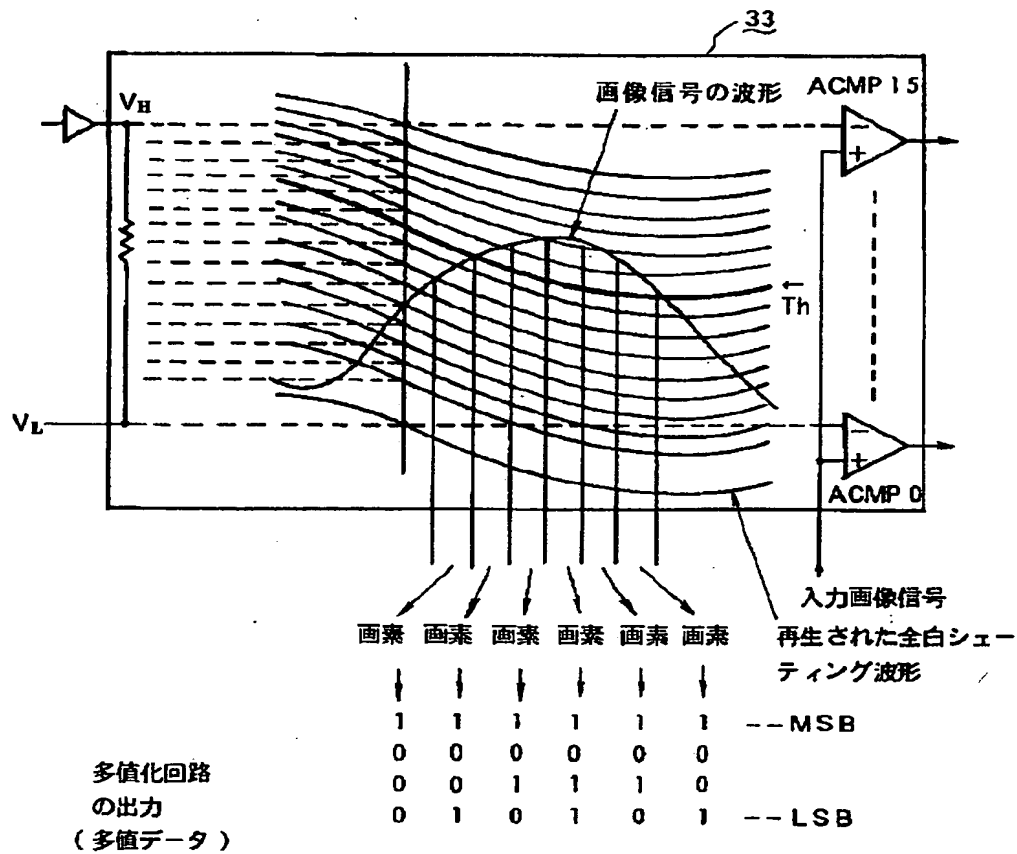


Figure 1 is a block diagram of a multi-valued data generation circuit. The circuit is enclosed in a rectangular frame labeled 8. It includes the following components and connections:

- Image Sensor (7):** Labeled "イメージセンサ". It outputs a signal to the **Peak Value Extraction Circuit (31)** and another signal to the **Sample-and-Hold Circuit (30)**.
- Sample-and-Hold Circuit (30):** Labeled "サンプルホールド回路". It receives the signal from the image sensor and outputs it to the **White Shading Waveform Detection and Regeneration Circuit (32)**.
- Peak Value Extraction Circuit (31):** Labeled "ピーク値検出回路". It receives the signal from the image sensor and outputs a signal to the **White Shading Waveform Detection and Regeneration Circuit (32)**.
- White Shading Waveform Detection and Regeneration Circuit (32):** Labeled "全白シェーディング波形検出再生回路". It receives signals from both the sample-and-hold circuit (30) and the peak value extraction circuit (31). It outputs a signal to the **Slice Level Generation Circuit (33)**.
- Slice Level Generation Circuit (33):** Labeled "スライスレベル生成回路". It receives the signal from the waveform detection circuit (32) and outputs a signal to the **2-bit Conversion Circuit (34)**.
- 2-bit Conversion Circuit (34):** Labeled "2値化回路". It receives the signal from the slice level generation circuit (33) and outputs **Multi-valued Data (多値データ)**.
- Multi-bit Conversion Circuit (35):** Labeled "多値化回路". It receives the signal from the slice level generation circuit (33) and outputs **2-bit Data (2値データ)**.

【図4】

図 4



フロントページの続き

(72)発明者 中村 敏明
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 山下 恭市
神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

(72)発明者 河野 祐二
神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内